

Seviye Dönüştürücüsüz Çoklu Besleme Gerilimi Ölçekleme Yöntemiyle Düşük Güç Harcayan Sayısal İşaret İşleme Bloklarının Tasarlanması

¹Mustafa Aktan, ²Arda Yurdakul

¹Elektrik ve Elektronik Mühendisliği Bölümü, ²Bilgisayar Mühendisliği Bölümü
Bogaziçi Üniversitesi, İstanbul
aktanmus@boun.edu.tr
yurdakul@boun.edu.tr

Özetçe

Az güç harcayan işaret işleme bloklarının tasarımında kullanılan yöntemlerden birisi de besleme geriliminin ölçeklenmesidir. Bilindiği gibi CMOS devrelerde harcanan güç, besleme geriliminin karesiyle doğru orantılıdır. Dolayısıyla besleme gerilimini azaltığımızda önemli ölçüde güç tasarrufu sağlanabilmektedir. Besleme gerilimindeki azalmadan dolayı artan gecikmenin önüne geçmek için de paralelleştirme veya borulama gibi yöntemlere başvurulmaktadır. Bu yöntemlerin kötü yani devrenin kaplayacağı alanı önemli ölçüde arttırmalarıdır. Bu çalışmamızda, daha önce kâpi seviyesinde uygulanan, seviye dönüştürücüsüz çoklu gerilim (SDÇG) yöntemini kullanarak az güç harcayan işaret işleme bloklarının tasarlanabildiğini gösterdik. Bu yöntemdeki mantık, artarda bağlı olan devre elemanlarının besleme gerilimi farkını, artı beslemeden eksi beslemeye statik akım akmayacak şekilde ayarlamaktır. Çalışmamızda, daha önce geliştirilen özgün algoritmayı, gecikme elemanlarına sahip devreleri de kapsayacak şekilde, blok seviyesindeki devrelere uygulanabilir hale getirdik. Gücü ve gecikmesi hesaplanan bir çarpıcı ve toplayıcıyla değişik işaret işleme bloklarında bu yöntemi denedik.

1. Giriş

Günümüzde sinyal işleme devreleri birçok alanda kullanılmaktadır. Isıtma cihazı, cep telefonu, el kamerası gibi aygıtlarda devrelerin harcadığı güç önem kazanmaktadır. Böylesi aygıtların pille daha uzun çalışabilmesi için az güç harcayan devrelere ihtiyaç duyulmaktadır.

CMOS devreler diğer türdeki devrelere göre daha az güç harcadıklarından devre tasarımında tercih sebebi olmaktadır. Bunun başlıca sebebi, bu devrelerin sadece etkin durumdayken güç harcamalarıdır. Toplam gücün %95'i bir salınım olduğunda yük sigasının doldurulması sırasında akan akımlardan, %5'i de duragan haldeyken akan kaçak akımlardan oluşmaktadır. Bu devrelerin güç harcama denklemi şu şekilde özetlenebilir

$$P = a \times f_c \times C_L \times V_{sw}^2 \quad (1)$$

Burada a anahtarlama islekligi, f_c sıklık, C_L sigal yük ve V_{sw} sigal yükün gerilimindeki salınım miktarıdır. Bu denklemden de anlaşılacağı gibi harcanan gücü azaltmanın etkin yolu besleme gerilimini düşürerek sigal yükün gerilimindeki salınım miktarını azaltmaktır.

En ünlü gerilim ölçekleme yöntemi bir devrede birden fazla besleme gerilimi kullanmaktır. Düşük besleme gerilimiyle çalışan devrelerde gecikme artacağından düşük gerilimle çalışacak olan devre elemanlarının kritik yol yani devrenin gecikmesini belirleyen ana yol üzerinde olmaları gerekmektedir.

Kaynak [1] de gerilim dönüştürücü kullanmaya gerek bırakmayan bir gerilim ölçekleme (SDÇG) yöntemi geliştirilmiştir. Bilindiği gibi gerilim dönüştürücülerin kullanılış amacı düşük bir besleme gerilimine sahip bir kâpinin yüksek gerilime sahip bir kâpiyi sürmesi durumunda sürülen kâpi duragan haldeyken kaçak akım akmasını önlemektir. Bu yöntemde besleme gerilimi girişlerden çıkışlara artacak şekilde dizilir.

Bu çalışmamızda, özgün haliyle kâpi seviyesindeki tasarımlarda uygulanmış olan SDÇG yöntemini az güç harcayan işaret işleme bloklarının tasarımında kullandık. Böylece aynı gerilim seviyelerine sahip kâpilerin bir araya toplanması, ve bu kâpilerin yerleştirilmeleri ve birbirlerine bağlanmalarının getireceği zorluklardan kaçınılabılır. Makalenin 2. bölümünde SDÇG yönteminin temeli ve işaret işleme devrelerine uygulandığında yapılması gerekenler anlatılmıştır. 3. bölümde ise çeşitli işaret işleme blokları üzerindeki deneme sonuçları yer almaktadır.

2. Seviye Dönüştürücüsüz Çoklu Gerilim Yöntemi

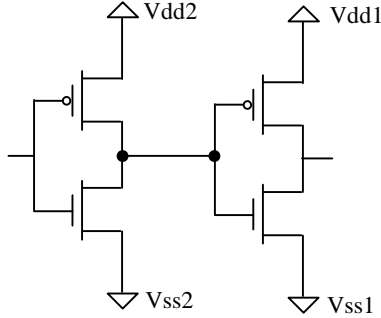
Bir kâpi kendisinden daha yüksek besleme gerilimine sahip bir kâpiyi sürdüğünde sürülen kâpinin artı beslemesinden eksi beslemesine bir akım akabilmektedir. Bu akım iki kâpinin besleme gerilimleri arasındaki farkın büyüklüğü oranında artmaktadır. Örneğin 3 V besleme gerilimine sahip bir CMOS eviricinin 5V besleme gerilimine sahip bir CMOS eviriciyi sürdüğünü düşünelim. Sürülen eviriciye 3V luk bir giriş uygulandığında PMOS tranzistör tam kapanmadığından beslemeden topraga duragan haldeyken bir akım akacaktır. Bu akımın akmasını önlemek için araya bir gerilim dönüştürücünün konması gerekmektedir. Fakat bu gerilim dönüştürücü hem gecikmeyi artıracığından hem de güç harcayacağından çok kullanışlı olmamaktadır.

Seviye dönüştürücülerini kullanmamanın yolu artarda bağlanan iki devre elemanının besleme gerilimleri arasındaki farkı sınırlamaktır. Besleme gerilimi farkı, artı beslemeler için PMOS tranzistörlerin, eksi beslemeler için ise NMOS tranzistörlerin eşik geriliminden küçük olmalıdır. Bu Sekil 1 deki eviriciler için şöyle formüle edilmiştir:

$$V_{dd1} - V_{dd2} < |V_{tp}| \quad (2)$$

$$V_{ss2} - V_{ss1} < |V_{tn}| \quad (3)$$

Sadece artı (V_{dd}) veya eksi (V_{ss}) besleme gerilimlerinin ölçülenmesine p veya n tipi ölçüm denmektedir. Her ikisi birden ölçülürse buna iki yönlü SDÇG denmektedir. Besleme gerilimleri arasındaki farkın belirlenmesinden sonra yapılacak iş besleme gerilimi seviyelerini tespit etmek olacaktır. Gerilim seviyesinin üçten fazla olmasının bir kazanç sağlamadığı [1] de gösterilmiştir.



Sekil 1: Farklı besleme gerilimlerine sahip iki eviricinin ardışık bağlanması

2.1. İşaret İşleme Bloklarına SDÇG'nin Uyarlanması

SDÇG algoritması özgün olarak kâpi seviyesinde birleşimsel devrelerde uygulanmış olup ardışık devreleri, yani gecikme elemanlarına sahip devreleri kapsamamaktadır. İşaret işleme blokları ise gecikme elemanlarına ve geribesleme döngülerine sahiptirler. SDÇG'yi bu devrelere uygulanabilir hale getirmek için gecikme elemanları bir giriş ve çıkış olmak üzere iki ayrı devre elemanına dönüştürüldü. Bu durumda birbirinden bağımsız alt devreler oluşmuş olabilir. Ortaya çıkan bütün alt devrelere ortak bir üst gecikme ölçütüyle SDÇG uygulanır. Sekil 2.a' da sonlu dürtü yanıtı bir süzgeç verilmiştir. Gecikme elemanları giriş ve çıkışlara dönüştürüldükten sonraki durum Sekil 2.b' de verilmiştir. Oluşan yeni devre bir bütün halinde olup 3 girişe ve 3 çıkışa sahiptir.

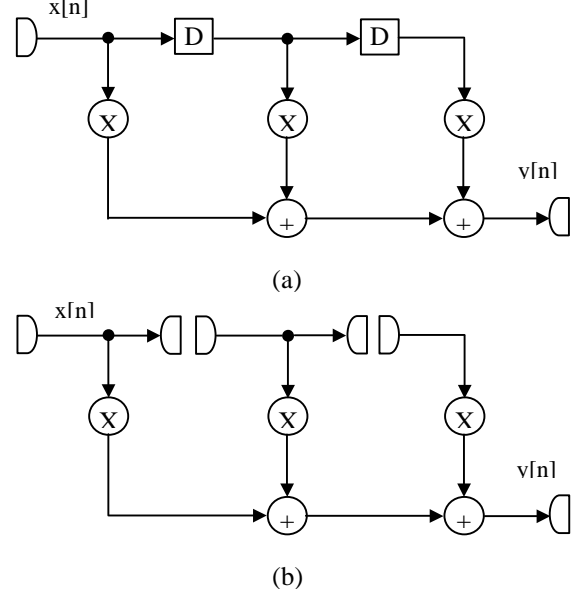
Devrelerde kullanılan çarpıcı ve toplayıcıların gecikmeleri ve harcadıkları güçler belli bir besleme gerilimi seviyesine (V_{dd1} , V_{ss1}) göre elde edilmiş değerlerdir. Bunları ölçtüğümüz gerilim seviyesine (V_{dd2} , V_{ss2}) göre yeniden hesaplamamız gerekmektedir. Bunu gecikme için

$$T_2 = T_1 \times \frac{V_{dd1} - V_{ss1}}{V_{dd2} - V_{ss2}} \times \left(\frac{1 - V_{th}/(V_{dd1} - V_{ss1})}{1 - V_{th}/(V_{dd2} - V_{ss2})} \right)^2 \quad (4)$$

ile hesaplayabiliriz. Burada V_{th} eşik gerilimidir. Harcanan güç için ise

$$P_2 = P_1 \times \left(\frac{V_{dd2} - V_{ss2}}{V_{dd1} - V_{ss1}} \right)^2 \quad (5)$$

denklemini kullanabiliriz.



Sekil 2: Gecikme elemanlarının giriş ve çıkışlara ayrılması

3. Deneysel Sonuçlar

SDÇG algoritmasını C dilinde yazdık. Devreler için kullandığımız teknoloji AMS 0.6µ'dur. Çalışmamızda iki yönlü SDÇG kullanıldı. Kullanılan gerilim seviyeleri Tablo 1'de verilmiştir. Bu değerlere LEVEL49 HSPICE parametreleri kullanılarak yapılan benzetimler sonucunda ulaşıldı. İşaret işleme bloklarında kullanılan toplayıcı ve çarpıcılar için kâpi seviyesinde birer tane 16 bitlik toplayıcı ve çarpıcı tasarlandı. Bu elemanların gecikmeleri ve harcadıkları güçler, Tablo 1'de verilen 1. gerilim seviyesine göre hesaplanmıştır. Sonuçlar Tablo 2'de verilmiştir.

Tablo 1: Gerilim Seviyeleri

1. Seviye		2. Seviye		3. Seviye	
V_{dd} (V)	V_{ss} (V)	V_{dd} (V)	V_{ss} (V)	V_{dd} (V)	V_{ss} (V)
5,0	0,0	4,5	0,5	4,0	1,0

SDÇG'yi kaynak [3]'ten alınan çeşitli işaret işleme blokları üzerinde denendi. Bu bloklar bir adet besinci dereceden eliptik süzgeç (e5o), iki adet sekiz düğümlü sonlu dürtü yanıtı süzgeç (f8t, f8tm), bir adet sonsuz dürtü yanıtı süzgeç (iir) ve bir adet de kafes süzgeçten (lft) oluşmaktadır.

Bu blokların içerdikleri toplayıcı (A), çarpıcı (M) ve gecikme elemanı (D) sayıları Tablo 3'te verilmiştir.

Tablo 2: Benzetimi yapılan çarpıcı ve toplayıcının güç ve gecikme değerleri ($V_{dd}=5V$, $V_{ss}=0V$)

	Gecikme (ns)	Güç ($\mu W/MHz$)
Çarpıcı (16x16)	16,2	5430
Toplayıcı (16x16)	4,9	60

Tablo 3: Deneyde kullanılan blokların içerdikleri toplayıcı, çarpıcı ve gecikme elemanı sayıları

	A	M	D
e5o	26	8	7
f8t	7	8	7
f8tm	7	8	7
iir	4	5	2
lft	8	5	2

İlk deneyde hız kaybına neden olmaksızın SDÇG algoritması uygulandı. Elde edilen sonuçlar Tablo 4'te verilmiştir. Burada P_i gerilim ölçeklemesi uygulanmadan önce devrenin harcamış olduğu ortalama güçtür. P_o ise SDÇG uygulandıktan sonra devrenin harcamış olduğu ortalama güçtür. Eliptik ve kafes süzgeçlerde herhangi bir kazanç elde edilememiştir. Bunun sebebi, bu devrelerdeki bütün yolların aynı düzeyde gecikmeye sahip olmalarıdır. Aynı şekilde sonlu dürtü yanıtı süzgeç (f8t) için gecikmeyi veren kritik yol diğer yollardan uzun olduğu için kazanç yüksek çıkmıştır. Bu süzgecin hızı ikiye katlanmış hali olan f8tm'de kritik yolla diğer yollar neredeyse eşitlendiği için aynı oranda kazanç elde edilememiştir. Bu süzgeci f8t'nin hızında çalıştırıldığında ise %35'i bulan bir güç kazancı elde edilmiştir.

Tablo 4: Hız kaybı olmadan elde edilen güç kazançları

Deney	Güç (mW/MHz)		Kazanç (%)
	P_i	P_o	
e5o	45,0	45,0	0,0
f8t	43,9	37,7	14,1
f8tm	43,9	41,8	4,7
iir	27,4	26,4	3,8
lft	27,6	27,6	0,0

Bir sonraki deneyde belli oranlarda hız kaybına izin verildi. Hız kayıpları devrelerin ölçeklenmeden önceki çalışma hızlarına (f_i) göre uygulanmıştır. Sonuçlar Tablo 5'te verilmiştir. Burada ikinci sütun %10 hız kaybına izin verildiği durumda devrelerin harcadıkları güç ve elde edilen kazanç değerleridir. Üçüncü sütun ise %20 hız kaybı olduğu durumda elde edilen değerlerdir. Bu tabloda verilen güç değerleri mW/MHz cinsindedir. Kazançlar, Tablo 4'te verilen ilk güç (P_i) değerlerine göre hesaplanmıştır. Hız kaybindan dolayı

devrenin çalışma frekansındaki düşmeden dolayı meydana gelen kazanç eklenmemiştir. Hız kaybı %10 olduğunda ortalama güç kazancı %20, %20 olduğunda ise %25 olmaktadır.

Tablo 5: Degisik oranlarda hız kaybı olduğunda elde edilen güç kazançları

Deney	0,9 f_i		0,8 f_i	
	P_o	Kazanç (%)	P_o	Kazanç (%)
e5o	38,6	14,3	34,6	23,2
f8t	32,8	25,2	28,2	35,8
f8tm	33,8	23,1	33,7	23,2
iir	23,2	15,2	20,3	25,7
lft	23,4	15,2	20,5	25,8

4. Değerlendirme

Gerilim ölçekleme yöntemi bir devrenin harcadığı gücü azaltmanın en etkin yollarından birisidir. Bu yöntemde bir devrenin çalışma hızına etki etmeyen devre elemanlarının besleme gerilimleri ölçeklenerek mümkün olduğunca yavaş çalıştırılmakta ve böylece devrenin harcamış olduğu güç azaltılmaktadır.

Bu çalışmada başlangıçta kapa düzeyinde uygulanmış olan SDÇG yöntemi isaret işleme bloklarına uygulandı. Hız kaybı olmaksızın %15'i bulan güç kazancı elde edildi. Çalışma hızı %10-20 düşürülerek %20-30'lara varan güç kazancı sağlandığı gösterildi. Böylece isaret işleme bloklarında harcanan gücü azaltmak için devreye yeni elemanlar katmadan, devrenin alanını büyütmeden iyi sonuçlar elde edilebileceği gösterilmiş oldu.

Standart hücre temelli tasarımlarda farklı besleme gerilimlerine sahip hücreler yan yana konamayacağından SDÇG aynı gerilim seviyelerine sahip kapıları kümelemeye (clustering) çalışmaktadır. Böylece girişlerden çıkışlara besleme gerilimlerinde tekdüze bir artış veya azalış olmaktadır. Blok seviyesinde buna gerek yoktur. Bu çalışmada SDÇG'nin bu özelliğine dokunulmamıştır. Bu özellik çözüm kümesini sınırlandırdığından ileriki çalışmalarda bu özellik kaldırılıp daha çok güç kazancı sağlayabilecek çözümler üzerinde çalışılacaktır.

Yapılan çalışmada devrenin çalışma hızı baz alınarak güç kazancı elde edilmeye çalışılmıştır. İleride devrenin harcaması istenen güce göre gerilim ölçeklemesi yapabilen bir algoritma üzerinde çalışılacaktır.

5. Kaynakça

- [1] Yeh, Y., Kuo, S., and Jou, J., "Converter-Free Multiple-Voltage Scaling Techniques for Low-Power CMOS Digital Design", *IEEE Trans. Computer-Aided Design of Integrated Circuits*, Vol. 20, 172-176, 2001.
- [2] Rabaey, J. M., *Digital Integrated Circuits A Design Perspective*, Prentice Hall International Editions, Boston, 1996.
- [3] Parhi, K. K., *VLSI Digital Signal Processing Systems: Design and Implementation*, Wiley Interscience, April 1999.